

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-261310

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H03K 19/23

G06F 1/12

G06F 13/42

(21)Application number : 11-061034

(71)Applicant : HITACHI LTD  
HITACHI INFORMATION  
TECHNOLOGY CO LTD

(22)Date of filing : 09.03.1999

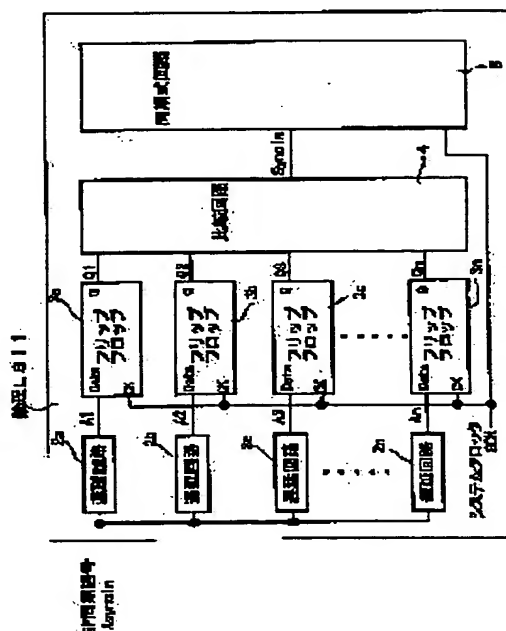
(72)Inventor : YOKOTA YASUYUKI

(54) SYNCHRONIZATION CIRCUIT FOR ASYNCHRONOUS SIGNAL AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the occurrence of a metastable state in a latch circuit, to improve system performance and to improve the reliability of the system with respect to a semiconductor integrated circuit which includes a synchronization type circuit and to which an asynchronous signal is inputted externally.

**SOLUTION:** Plural delay signals whose phases are different are generated by inputting an asynchronous signal to plural delay circuits 2a to 2n whose delay times are different from one another, these signals are inputted to the data input terminals of flip-flops 3a to 3n as latching means, and the output signals of the flip-flops are inputted to a decision circuit 4 to output logical values that are the most or have a high priority.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

 (11) 特許出願公開番号  
 特開2000-261310  
 (P2000-261310A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームド* (参考)
H 0 3 K 19/23		H 0 3 K 19/23	5 B 0 7 7
G 0 6 F 1/12		G 0 6 F 13/42	3 5 0 A 5 J 0 4 2
13/42	3 5 0	1/04	3 4 0 A

審査請求 未請求 請求項の数7 OL (全 8 頁)

(21) 出願番号 特願平11-61034

(22) 出願日 平成11年3月9日 (1999.3.9)

(71) 出願人 000005108

 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000153454

 株式会社日立インフォメーションテクノロジー  
 神奈川県足柄上郡中井町境456番地

(72) 発明者 横田 泰幸

 神奈川県秦野市堀山下1番地 株式会社日  
 立インフォメーションテクノロジー内

(74) 代理人 100085811

弁理士 大日方 富雄

Fターム(参考) 5B077 AA25 FF11 GG15

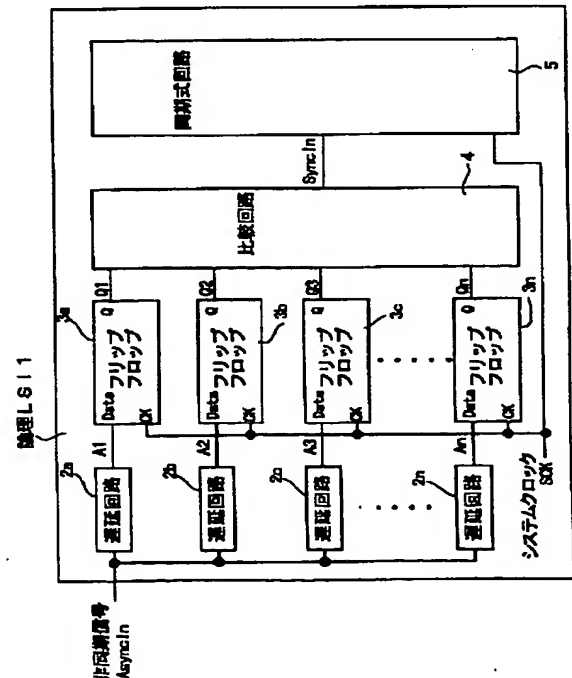
5J042 BA16 CA12 CA15 CA18 DA04

(54) 【発明の名称】 非同期信号の同期化回路および半導体集積回路

(57) 【要約】

【課題】 同期式回路を内蔵した半導体集積回路であって外部から非同期の信号が入力される半導体集積回路において、ラッチ回路におけるメタステーブル状態の発生を防止してシステムパフォーマンスの向上を図るとともにシステムの信頼性を向上させる。

【解決手段】 非同期信号を互いに遅延時間の異なる複数の遅延回路 (2a~2n) に入力することにより、位相の異なる複数の遅延信号を生成し、これらの信号をラッチ手段としてのフリップフロップ (3a~3n) のデータ入力端子に入力させ、これらのフリップフロップの出力信号を判定回路 (4) に入力して最も多数あるいは優先順位の高い論理値を出力させるようにした。



## 【特許請求の範囲】

【請求項 1】 共通の非同期信号を入力信号とし互いに遅延時間が異なる複数の遅延手段と、同一のシステムクロック信号で動作し上記遅延手段で遅延された信号を入力とする複数のラッチ手段と、これらのラッチ手段の出力を比較して出力を決定する判定手段とを備えていることを特徴とする非同期信号の同期化回路。

【請求項 2】 上記遅延手段の遅延時間の最も短いものと最も長いものの時間差がシステムクロック信号のサイクル時間より短いことを特徴とする請求項 1 に記載の非同期信号の同期化回路。

【請求項 3】 上記遅延手段は、異なった配線長にすることによって異なった遅延時間を得る遅延線により構成されてなることを特徴とする請求項 1 または 2 に記載の非同期信号の同期化回路。

【請求項 4】 上記遅延手段は、複数の論理ゲート回路が直列に接続されてなり、その接続段数の違いによって遅延時間が異なるように構成されていることを特徴とする請求項 1 または 2 に記載の非同期信号の同期化回路。

【請求項 5】 上記判定手段は、複数の論理入力端子を備え、入力される論理値の状態が多い方の論理値を出力値とすることを特徴とする請求項 1、2、3 または 4 に記載の非同期信号の同期化回路。

【請求項 6】 上記判定手段は、複数の論理入力端子を備え、入力される論理値の状態の優先順位が高い方の論理値を出力値とすることを特徴とする請求項 1、2、3 または 4 に記載の非同期信号の同期化回路。

【請求項 7】 請求項 1、2、3、4、5 または 6 に記載の非同期信号の同期化回路と、該同期化回路の出力信号を入力信号とし上記システムクロック信号に同期して動作する同期式回路とを内蔵してなることを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路技術さらには非同期信号を扱う論理LSIに適用して有効な技術に関し、例えばクロック信号に同期して動作する同期式回路を内蔵したASIC（特定用途向け半導体集積回路）に利用して有効な技術に関する。

## 【0002】

【従来の技術】ASICの主流となっている同期式回路において、その問題の1つにメタステーブルと呼ばれる非同期の外部入力信号で発生するラッチ回路の準安定状態がある。この準安定状態は、ラッチ回路において規定されているクロックの立上り（もしくは立下り）を基準にしたセットアップ時間とホールド時間で囲まれた危険ゾーンで、非同期の入力データが変化したときに発生するラッチ回路の異常動作によるものであり、図6（a）に示すようなラントパルスと呼ばれる短いパルスが発生したり、図6（b）に示すようにスルーレートがなくな

って急峻な出力波形が得られなくなったり、図6（c）に示すように発振が発生したり、図6（d）に示すように出力の応答が遅くなるなどシステムを中断させるような誤動作を引き起こす。

【0003】現在の技術では、上記のようなメタステーブルに対する対策として、ダブルラッチ構成を採って、プライマリ・ラッチを動作させるクロックとセカンダリ・ラッチを動作させるクロックとを、クロックスキューとして予想される量の倍以上しっかり離したり、システムクロックに数クロックから数十クロックの期間ダミーサイクルを設けるなど、メタステーブルの発生する期間を考慮した待ち時間を入れたりすることによりメタステーブルを回避するのが一般的である（CQ出版社発行「ASICの論理回路設計」第26頁～第29頁）。

## 【0004】

【発明が解決しようとする課題】しかしながら、上述した従来のメタステーブル対策では、すべてのラッチ回路をダブル・ラッチ構成にするのが困難であったり2相クロックを生成するのが面倒であったりする。また、非同期の入力信号をシステムクロックに同期した信号に変換するためには、メタステーブルの発生する期間を考慮した待ち時間が必要である。そのため、例えばリセット信号や電源異常検出信号など、優先順位の高い割り込み信号においても、その処理に待ち時間を持たせなくてはならないため、システムパフォーマンスの低下の要因となる。一方逆に、システムパフォーマンスを確保するために待ち時間を短縮すると、MTBF（平均故障間隔）が短くなり、システムの信頼性低下の要因になるという問題点がある。

【0005】この発明の目的は、同期式回路を内蔵した半導体集積回路であって外部から非同期の信号が入力される半導体集積回路において、ラッチ回路におけるメタステーブル状態の発生を防止してシステムパフォーマンスの向上を図るとともにシステムの信頼性を向上させることにある。

【0006】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

## 【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0008】すなわち、非同期信号を互いに遅延時間の異なる複数の遅延手段に入力することにより、位相の異なる複数の遅延信号を生成し、これらの遅延信号を、同一のシステムクロックで動作する並列に設けられた複数のフリップフロップ（ラッチ手段）のデータ入力端子に入力させ、これらのフリップフロップの出力信号を判定回路（判定手段）に入力して最も多数あるいは優先順位の高い論理値を出力させるようにしたものである。

3

【0009】上記した手段によれば、非同期信号が入力された複数の遅延手段の遅延信号がシステムクロックの位相に対してセットアップ時間やホールド時間を満たさず、複数のフリップフロップのなかで少数のフリップフロップにおいてメタステーブルが発生したとしても、他の多数のフリップフロップには、位相の異なる非同期信号が入力されているため、メタステーブルが発生することではなく、正常な非同期信号が取り込まれる。そして、これらのフリップフロップの出力信号を判定回路に入力されて最も多数あるいは優先順位の高い論理値が出力されるので、メタステーブルの発生したフリップフロップの出力論理値を少数値または優先順位が低いと判定し、正常に取り込まれた信号をシステムクロックに同期した同期信号として扱うことができる。しかも、本発明によれば、非同期信号の遷移があった次のシステムクロックの立上り（もしくは立下り）で同期化ができるため、メタステーブルの発生する期間を考慮したシステムの待ち時間が不要となり、システムパフォーマンスが向上する。

【0010】また、メタステーブルの発生する期間は不定であり、一般には十分に余裕を持たせた待ち時間を設定するが、確率の問題であって100%の保証が得られるものではないので、長期的にはシステムの信頼性は期待できない。これに対し、本発明によれば、メタステーブルの発生していないフリップフロップの出力に基づいて確実な同期化を実現できるため、システム全体の信頼性が向上する。

【0011】なお、上記複数の遅延手段の遅延時間は、それらのうち最も短いものと最も長いものの時間差がシステムクロック信号のサイクル時間より短くなるように設定する。システムクロック信号のサイクル時間よりも長く設定すると、異なるタイミングでフリップフロップに取り込まれた信号同士を比較することになり、正しい比較が行えないからである。

【0012】また、上記各遅延手段は、データ入力端子と各フリップフロップとの間の配線を互いに異なる配線長に設定して異なる遅延時間を有する遅延線で構成したり、あるいは複数の論理ゲート回路を直列に接続しその接続段数を変えることによって、遅延時間が異なるように構成する。これによって、比較的容易に、異なる遅延時間を設定することができる。

【0013】

【発明の実施の形態】以下、本発明の好適な実施形態を図面に基づいて説明する。

【0014】図1には本発明に係る同期化回路の第1の実施形態の回路構成図を示す。

【0015】論理LSI1の外部から入力された非同期信号AsyncInは、互いに遅延時間の異なるn個の遅延回路2a、2b、2c、……2nに供給され、所定の遅延時間の遅れを持った遅延信号A1、A2、A3、……A

4

nが形成される。ここで遅延回路2a、2b、2c、……2nの遅延時間は、 $t_{d1} < t_{d2} < t_{d3} < \dots < t_{dn}$ の関係になるように設定されている。また、これらのうち最も長い遅延時間 $t_{dn}$ がシステムクロックSCKのサイクル時間 $T_c$ よりも短く（ $t_{dn} < T_c$ ）になるように設定されている。

【0016】さらに、遅延信号A1、A2、A3、……Anは、各遅延回路2a～2nに対応して設けられたn個のフリップフロップ3a、3b、3c、……3nに入力される。一方、フリップフロップ3a、3b、3c、……3nにはシステムクロックSCKが同位相で入力されるようにしてある。これによって、遅延信号A1、A2、A3、……Anは、システムクロックSCKの立ち上がりエッジ（または立ち下がりエッジ）でフリップフロップ3a、3b、3c、……3nに取り込まれ、フリップフロップ3a、3b、3c、……3nの出力信号Q1、Q2、Q3、……Qnに伝播する。

【0017】フリップフロップ3a、3b、3c、……3nの出力信号Q1、Q2、Q3、……Qnは判定回路4に入力され、判定回路4で出力Q1、Q2、Q3、……Qnの論理値を判定し、最も多数あるいは優先順位の高い論理値を出力する。判定回路4の出力信号は、システムクロックSCKに同期して動作する同期式の内部回路5に供給される。

【0018】遅延信号A1、A2、A3、……AnとシステムクロックSCKとの位相関係においてフリップフロップ3a、3b、3c、……3nのセットアップ時間やホールド時間余裕を満たさない場合、メタステーブルの発生する可能性があるが、この実施例では判定回路4の上記作用によってメタステーブルを生じているフリップフロップの出力は取り除かれるため、判定回路4の出力信号SyncInはシステムクロックSCKに同期した信号として後段の同期式回路5に入力させることができる。

【0019】なお、上記遅延回路2a、2b、2c、……2nの構成としては、例えば配線遅延を利用し、非同期信号AsyncInが入力される端子からフリップフロップ3a、3b、3c、……3nまでの配線を蛇行状配線としその折り返し数を異ならしめることによって各配線の長さを変え、異なる遅延時間を得るように構成することが考えられる。

【0020】次に、図1の実施例回路の動作を図2に示すタイミングチャートを用いて説明する。なお、図2は、外部から入力される非同期信号AsyncInの立ち上がりに対する遅延回路2a～2nおよびフリップフロップ3a～3nの出力信号の変化を表わしている。また、ここでは、フリップフロップ3a、3b、3c、……3nはシステムクロックSCKの立ち下がりではなく立ち上がりでラッチ動作するものとする。

【0021】非同期信号AsyncInが遅延回路2a、2

5

b、2c、……2nに入力されると、所定の遅延時間だけ遅れた遅延信号A1、A2、A3、……Anが得られる。さらに、これらの遅延信号がシステムクロックSCKの立ち上がりでフリップフロップ3a、3b、3c、……3nに取り込まれることによって、出力Q1、Q2、Q3、……Qnが得られる。

【0022】ところで、例えば図2に示すように、システムクロックSCKの最初の立ち上がりタイミングと遅延信号A2の位相関係において、フリップフロップ3bのセットアップまたはホールド時間の余裕がなく、出力Q2にメタステーブルが発生し、発振を起こしている場合を考える。このとき、出力Q1はハイレベル、出力Q3、……Qnはローレベルとなっている。これらのフリップフロップ3a、3b、3c、……3nの出力Q1、Q2、Q3、……Qnを判定回路4に入力すると、ローレベルの本数が多数であるため、判定回路4の出力SyncInはローレベルとなる。

【0023】従って、システムクロックSCKの最初の立ち上がり(t1)では、非同期信号AsyncInの立ち上がり(t0)を認識しないこととなる。そして、次のシステムクロックSCKの立ち上がり(t2)においては、メタステーブルの発生しているフリップフロップ3bの出力Q2以外の出力Q1、Q3、……Qnは全てハイレベルとなる。従って、判定回路4の出力SyncInはハイレベルとなり、ここではじめて非同期信号AsyncInの立ち上がりを認識する。また、判定回路4の出力SyncInはシステムクロックSCKに同期しているため、同期信号として後段の同期式回路で使うことができる。

【0024】以上説明したように、実施例においては、非同期信号を互いに遅延時間の異なる複数の遅延回路2a、2b、2c、……2nに入力することにより、位相の異なる複数の遅延信号A1、A2、A3、……Anを生成し、これらの遅延信号を、同一のシステムクロックで動作する並列に設けられた複数のフリップフロップ3a、3b、3c、……3nのデータ入力端子に入力させ、これらのフリップフロップの出力信号を判定回路4に入力して最も多数あるいは優先順位の高い論理値を出力させるようにしたので、非同期信号が入力された複数の遅延回路の遅延信号がシステムクロックの位相に対してセットアップ時間やホールド時間を満たさず、複数のフリップフロップのなかで少数のフリップフロップにおいてメタステーブルが発生したとしても、他の多数のフリップフロップには、位相の異なる非同期信号が入力されているため、メタステーブルが発生することはなく、正常な非同期信号が取り込まれるようになる。

【0025】図3に本発明の同期化回路の具体例を示す。なお、この具体例では、遅延回路をインバータのような論理ゲート回路を用いて構成するとともに、フリップフロップを3個としている。また、図3においては、

6

図1の実施例における遅延回路2a～2nのうち2aは設けず、非同期信号AsyncInの入力端子を直接フリップフロップ3aのデータ入力端子に接続してある。遅延回路2bは直列形態のインバータゲート2段で構成され、論理ゲートの遅延を利用した遅延回路としている。同様に遅延回路2cは直列形態のインバータゲート4段で構成している。判定回路4は3個の2入力ANDゲートG1、G2、G3と1個の3入力ORゲートG4の組み合わせ回路で構成している。

【0026】この実施例においては、外部から入力される非同期信号AsyncInを取り込むフリップフロップ3aの出力Q1と遅延回路2bで遅延された信号A2を取り込むフリップフロップ3bの出力Q2とがANDゲートG1に入力され、フリップフロップ3bの出力Q2と遅延回路2cで遅延された信号A3を取り込むフリップフロップ3cの出力Q3とがANDゲートG2に入力され、フリップフロップ3bの出力Q1と遅延回路2cで遅延された信号A3を取り込むフリップフロップ3cの出力Q3とがANDゲートG3に入力されている。

【0027】これによって、フリップフロップ3a～3cの出力Q1～Q3のうちいずれか2つがハイレベルとなるとG1～G3のうちいずれかのANDゲートの出力がハイレベルとなる。そして、これらのANDゲートG1～G3の出力がORゲートG4に入力され、G1～G3のうちいずれかのANDゲートの出力がハイレベルとなると、ORゲートG4の出力がハイレベルになる。これによって、判定回路4からはフリップフロップ3a～3cの出力Q1～Q3の多数決をとった結果と同等の信号が出力される。

【0028】表1に、図3の実施例回路における判定回路4の真理値表を示す。表1から明らかなように、フリップフロップ3a、3b、3cの出力Q1、Q2、Q3の論理値の組合せ入力に対して、判定回路4の出力SyncInは、3入力のうちハイレベルが2入力以上ある場合はハイレベルに、ローレベルが2入力以上ある場合はローレベルとなる。つまり、判定回路4の出力SyncInは3入力のうち数の多いものと同じ論理値となる。

【0029】

【表1】

7

Q1	Q2	Q3	SysIn
0	0	0	L
0	0	1	L
0	1	0	L
0	1	1	H
1	0	0	L
1	0	1	H
1	1	0	H
1	1	1	H

なお、図3の実施例においては、遅延回路を2個設けた場合について説明したが、図1の実施例と同様にn個の遅延回路を設けて判定回路4において、それらの出力の多数決を取るようにしても良い。ただし、多数決をとる以上、判定回路4に入力される信号の数が奇数になるように遅延回路の数を設定するか、あるいは判定回路4に入力される信号の数が偶数とした場合に、ハイレベルとローレベルの入力信号が同数のときは判定回路4の出力信号はローレベルとなるように判定回路4の論理を構成するのが良い。

【0030】図4は本発明に係る同期化回路の他の実施例を示す。また、表2に、図4の同期化回路を構成する判定回路4の真理値表を示す。この実施例の同期化回路は、図3の実施例の同期化回路と判定回路4の構成が異なるのみで他は同一である。すなわち直列形態のインバータゲートにより構成され外部から入力される非同期信号AsyncInを遅延する遅延回路2b、2cと、外部から入力される非同期信号AsyncInを取り込むフリップフロップ3aと、遅延回路2bで遅延された信号A2を取り込むフリップフロップ3bと、遅延回路2cで遅延された信号A3を取り込むフリップフロップ3cとが設けられている。

【0031】この実施例の判定回路4は、上記フリップフロップ3aの出力Q1とフリップフロップ3bの出力Q2とが入力された2入力ANDゲートG11と、フリップフロップ3a、3b、3cの出力Q1、Q2、Q3が入力された3入力ANDゲートG12と、これらのANDゲートG11、G12の出力とを入力とするORゲートG13とにより構成されている。この実施例の判定回路は、表2から明かなように、フリップフロップ3a、3b、3cの出力Q1、Q2、Q3のうちQ1、Q2が共に「1」（ハイレベル）かQ1、Q2、Q3のすべてが「1」に成ると、判定回路4の出力SyncInはハイレベルになり、それ以外すなわちQ1～Q3がローレベルまたはQ1のみがハイレベルの場合はローレベルとなる。

8

【0032】

【表2】

Q1	Q2	Q3	SysIn
0	0	0	L
1	0	0	L
1	1	0	H
1	1	1	H

なお、表2においては表1のようにQ1、Q2、Q3のすべての組合せについての判定回路4の出力SyncInの状態が記載されていないのは、回路の構成から遅延時間の長い方の信号を取り込むフリップフロップの出力がハイレベルになるとそれよりも遅延時間の短い信号を取り込むフリップフロップの出力は当然ハイレベルになっているはずだからである。

【0033】遅延回路とフリップフロップのこのような性質を逆に利用すれば、図4において、ANDゲートG12を省略して一点鎖線Bのようにフリップフロップ3cの出力Q3を直接ORゲートG13に入力するように構成しても同様な判定結果が得られることが分かる。すなわち、この実施例では、フリップフロップ3aの出力Q3が最も優先順位の高い信号である。同様に、判定回路4の入力信号数が四以上の場合にも同様にして優先順位の高い信号をうまく利用することにより、例えば判定回路を簡略化することが出来る。

【0034】図5には、上記実施例の非同期信号の同期化回路の応用例としてマイクロコンピュータにおける割り込み信号の同期化回路に適用した場合の実施例を示す。

【0035】図5において、11はマイクロコンピュータのCPU、12はプログラムや固定データを格納するROM（リードオンリメモリ）やCPUの作業領域を提供するRAM（ランダムアクセスメモリ）のような内部メモリ、13はDMA（ダイレクトメモリアクセス）転送を制御するDMAコントローラやD/A変換回路、タイマ回路などの周辺回路、14は入出力端子に設けられ外部装置とのインタフェースを行なう入出力回路、15は外部から入力される割り込み要求信号IRQを受け付けて優先順位に従ってCPU11に対して割り込みをかけたる割り込み制御回路、16は上記CPU11とメモリ12、周辺回路13、入出力回路14との間をデータ転送可能に接続するバスである。

【0036】この実施例のマイクロコンピュータにおいては、上記割り込み要求信号IRQを同じく外部から供給されるシステムクロック信号CKに同期化させて割り込み制御回路15に入力する同期化回路17として、前記実施例（図1または図3）の同期化回路が使用されている。これによって、外部からマイクロコンピュータに対して非同期で割り込み要求信号IRQが入ってきてもそれ



9

を取り込む際にメタステーブル状態が発生するのを回避することができ、確実に割込みをかけることができるようになる。

【0037】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図3および図4の実施例では、判定回路4の入力信号数を「3」としているが、4以上すなわち遅延回路数を3個以上としても良い。なお、判定回路4が多数決で出力値を決定するように構成されている場合には、入力数が偶数であると結論が出せないようにも考えられるが、入力のローレベルとハイレベルの数が同数の場合には出力値を安全側すなわちローレベルに決定するように判定回路4を構成してやれば良い。

【0038】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である非同期信号の同期化回路とその応用例としてマイクロコンピュータにおける割込み信号の同期化回路について説明したが、この発明はそれに限定されるものでなく、データ処理用LSIにおけるリセット信号その他の非同期信号の同期化回路として広く利用することができる。

【0039】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0040】すなわち、同期式回路を内蔵した半導体集積回路であって外部から非同期の信号が入力される半導体集積回路において、ラッチ回路におけるメタステー

10

ブル状態の発生を防止してシステムパフォーマンスの向上を図るとともにシステムの信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る同期化回路の第1の実施形態を示す回路構成図である。

【図2】図1に示す実施例の同期化回路の動作をタイミングを示すタイミングチャートである。

【図3】本発明に係る同期化回路の具体例を示す論理構成図である。

【図4】同期化回路を構成するの具体例を示す論理構成図である。

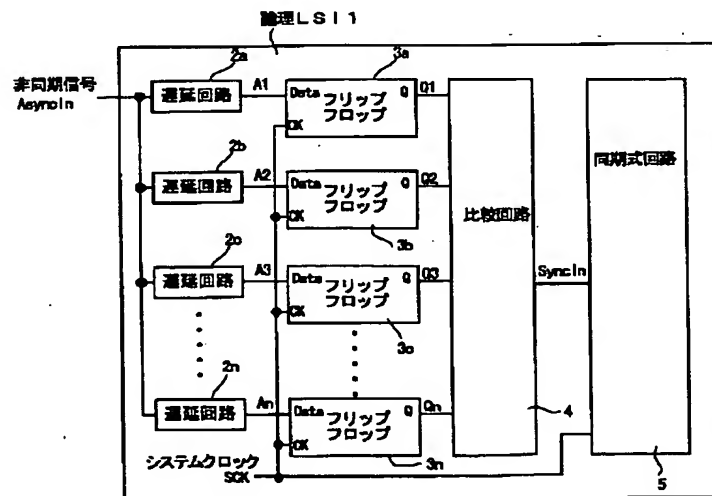
【図5】実施例の非同期信号の同期化回路の応用例としてマイクロコンピュータにおける割込み信号の同期化回路に適用した場合の実施例を示すブロック図である。

【図6】非同期の外部入力信号をラッチするラッチ回路で発生するメタステーブルの態様を示す波形図である。

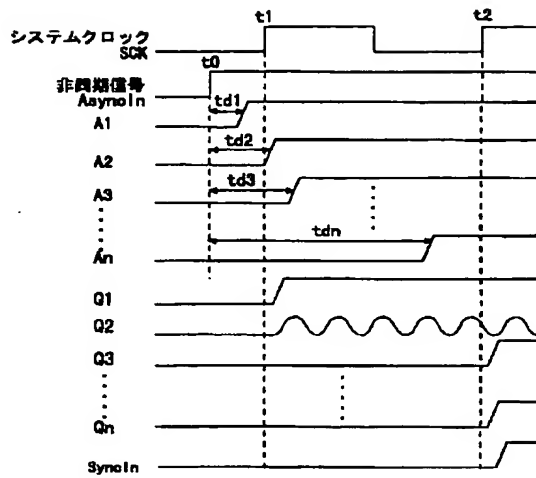
【符号の説明】

- |         |                                |
|---------|--------------------------------|
| 1       | 論理LSI                          |
| 2a ~ 2n | 遅延回路                           |
| 3a ~ 3n | フリップフロップ（ラッチ手段）                |
| 4       | 判定回路                           |
| 5       | 同期式回路                          |
| AsyncIn | 非同期信号                          |
| SCk     | 同期信号（システムクロック）                 |
| A1 ~ An | 遅延信号                           |
| Q1 ~ Qn | フリップフロップ3a ~ 3nの出力             |
| SyncIn  | 判定回路の出力（内部同期式回路に供給される同期化された信号） |

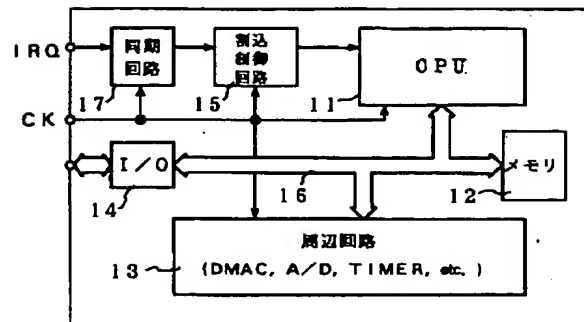
【図1】



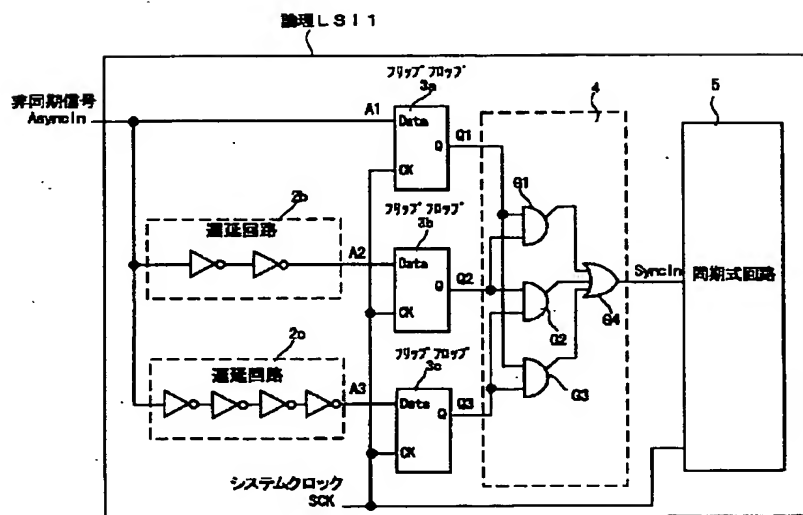
【図 2】



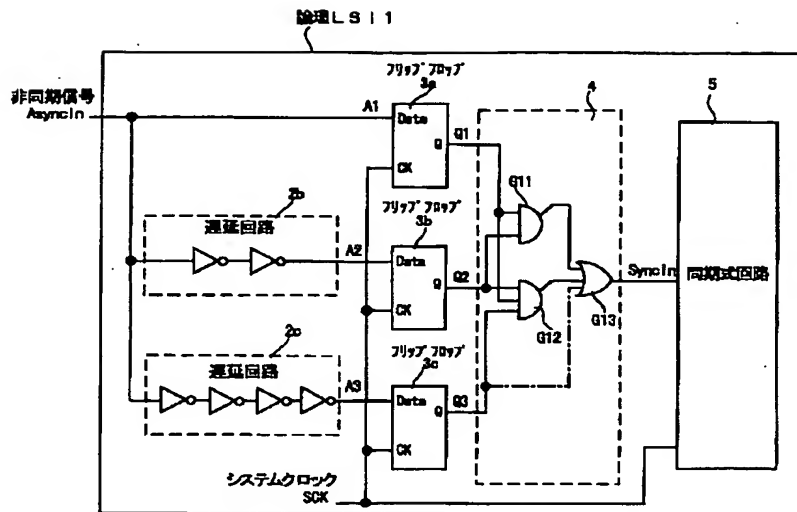
【図 5】



【図 3】



【図4】



【図6】

